

کد کنترل

329

E

329E

دفترچه شماره (۱)
صبح جمعه
۹۸/۱۲/۹



جمهوری اسلامی ایران

وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می شود.»
امام خمینی (ره)

آزمون ورودی دوره دکتری (نیمه متاخر) - سال ۱۳۹۹

رشته مهندسی کامپیوتر - معماری سیستم‌های کامپیوتری - کد (۲۳۵۵)

مدت پاسخ‌گویی: ۱۵۰ دقیقه

تعداد سؤال: ۴۵

عنوان مواد امتحانی، تعداد و شماره سوالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی: مدار منطقی و معماری کامپیوتر - معماری کامپیوتر بیشتر فته - VI.SI	۴۵	۱	۴۵

این آزمون نمره منفی دارد.

استفاده از ماشین حساب مجاز نیست.

حق چاپ، تکثیر و انتشار سوالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تعلیمی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین بر این مقررات رفتار می‌شود.

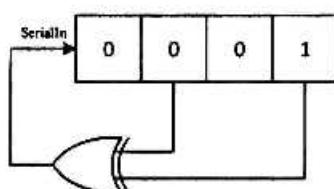
۱۳۹۹

* داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول ذیل، بهمنزله عدم حضور شما در جلسه آزمون است.

اینجانب با شماره داوطلبی با آگاهی کامل، یکسان بودن شماره صندلی خود را با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخ نامه و دفترچه سوالات، نوع و کد کنترل درج شده بر روی دفترچه سوالات و پائین پاسخ نامه ام را تأیید می نمایم.

امضا:

- ۱ شکل زیر یک شیفت رجیستر را نشان می دهد که در هر سیکل ساعت یک بیت محتوای خود را به سمت راست شیفت می دهد. اگر مقدار اولیه این شیفت رجیستر ۰۰۰۱ باشد، دوره تناوب آن چند سیکل ساعت است؟



- ۴ (۱)
۵ (۲)
۶ (۳)
۷ (۴)

- ۲ فرض کنید تابع $f(a.b.c.d) = \sum m(0.1.3.4.8.11.12.15)$ داده شده است. عامل های اولیه ضروری (Essential Prime Implicant) این تابع، کدام گزینه است؟

$$\begin{array}{ll} \bar{c}\bar{d}.acd.\bar{a}\bar{b}d & \bar{c}\bar{d}.acd \\ \bar{c}\bar{d}.acd.\bar{a}\bar{b}d.\bar{a}\bar{c}\bar{d} & \bar{c}\bar{d}.acd.\bar{a}\bar{b}d.acd \end{array}$$

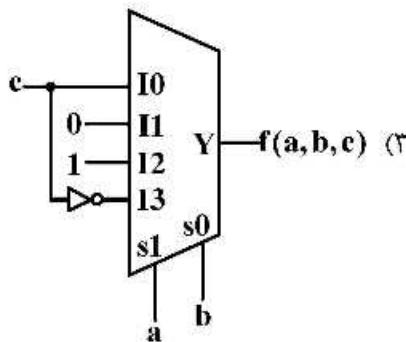
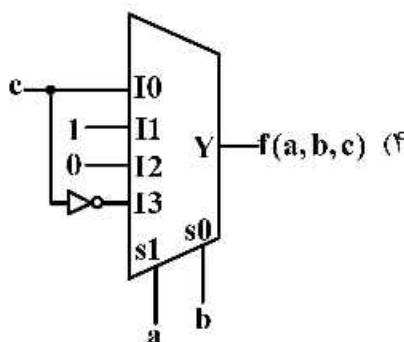
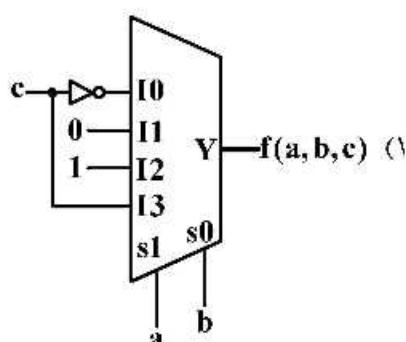
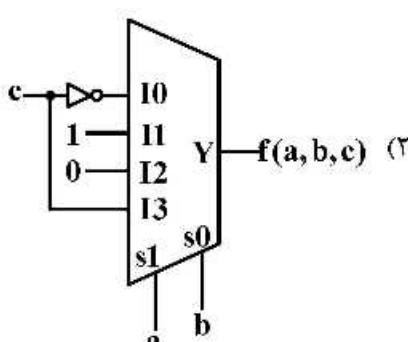
- ۶ (۲)
۸ (۴)

۳

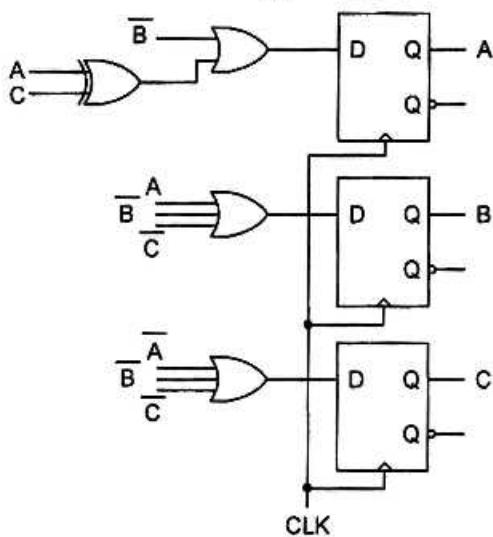
- می خواهیم یک عدد ۳ رقمی مبنای ۹ را به یک عدد مبنای ۳ تبدیل کنیم. برای این منظور به حداقل چند رقم در مبنای ۳ نیاز داریم؟

- ۵ (۱)
۷ (۳)

- ۴ کدام مدار پیاده سازی تابع $f(a.b.c) = \sum m(1.2.3.6)$ را نشان می دهد؟



-۵- مدار زیر را در نظر بگیرید. با فرض این که خروجی مدار مقادیر ABC باشد، کدام گزاره صحیح است؟



۱) مدار اعداد زوج سه‌بیتی را می‌شمارد.

۲) مدار اعداد فرد سه‌بیتی را می‌شمارد.

۳) مدار اعداد اول سه‌بیتی را می‌شمارد.

۴) مدار اعداد سه‌بیتی مضرب ۳ و ۵ را می‌شمارد.

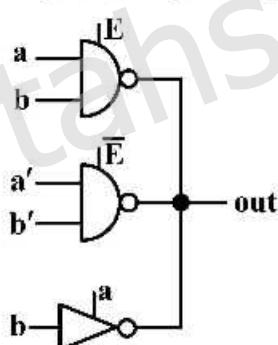
-۶- جدول حالت زیر، پس از کاهش تعداد حالات چند حالت دارد؟

PS	NS/y	
	x=0	x=1
a	c/0	a/1
b	d/0	b/1
c	a/1	c/0
d	b/1	d/0
e	c/0	e/1
f	a/1	c/0

۷

در مدار زیر از گیت‌های سه‌وضعیتی (3-State) استفاده شده است. با فرض آن که هیچ ترکیب غیرمجاز ورودی‌ها

به مدار اعمال نشود،تابع خروجی مطابق با کدام گزینه است؟



(۱) $ab + \bar{a}E + \bar{a}b$

(۲) $ab + \bar{a}E + b\bar{E}$

(۳) $\bar{b} + \bar{a}E$

(۴)

۸

برای تصحیح یک بیت خطای ۴ بیتی در یک داده ۴ بیتی، از کد همینگ استفاده کردہ‌ایم و نتیجه یک کد ۷ بیتی شده

است. اگر داده ۷ بیتی دریافتی 1011101 باشد، در این خصوص کدام گزینه درست است؟

(۱) خطای ۵ رخ داده است.

(۲) خطای ۴ رخ داده است.

(۳) خطای ۳ رخ داده است.

(۴) خطای ۱ رخ نداده است.

-۹ فرض کنید در یک مدار ترتیبی، دو فلیپ‌فلاب از نوع D به نام‌های A و B وجود دارد. این مدار یک ورودی به نام x نیز دارد. اگر معادله ورودی فلیپ‌فلاب‌ها به صورت زیر باشد، در خصوص این مدار کدام گزینه درست است؟

$$D_A = A\bar{x} + Bx$$

$$D_B = AB + B\bar{x} + \bar{A}\bar{B}x$$

- (۱) مدار درصورتی که $x = 0$ باشد، Self-Starting است.
- (۲) مدار درصورتی که $x = 1$ باشد، Self-Starting است.
- (۳) مدار Self-Starting است.
- (۴) مدار Self-Starting نیست.

-۱۰ کدام پیاده‌سازیتابع $f(a.b.c.d) = \sum m(0.5.7.10.14.15) + d(1.9.13)$ فاقد Hazard است؟

(توجه داشته باشید که مدار پیاده‌سازی شده باید از نظر تعداد گیت بهینه باشد.)

$$\bar{a}\bar{b}\bar{c} + a\bar{c}\bar{d} + b\bar{d} + \bar{c}\bar{d}$$

$$\bar{a}\bar{b}\bar{c} + a\bar{c}\bar{d} + b\bar{d} + abc$$

$$\bar{a}\bar{b}\bar{c} + a\bar{c}\bar{d} + b\bar{d} + abc + \bar{c}\bar{d}$$

$$\bar{a}\bar{b}\bar{c} + a\bar{c}\bar{d} + b\bar{d} + abc + \bar{a}\bar{c}\bar{d}$$

-۱۱ در یک پردازنده با واحد کنترل ریز برنامه‌سازی شده، طول قالب ریز دستورالعمل 140 بیت و حجم میکروحافظه

1024 ریز دستورالعمل است. با استفاده از تکنیک نانوحافظه و حداکثر فشرده‌سازی حجم میکروحافظه را به 10

درصد حجم اولیه آن کاهش می‌دهیم. طول micro-OPCODE چند بیت است؟

- | | |
|-------|-------|
| ۴ (۲) | ۳ (۱) |
| ۶ (۴) | ۵ (۳) |

-۱۲ ماشینی دارای دو قالب دستور نوع A و B است. طول قالب A چهار بیت و در قالب B هشت بیت

است. با فرض استفاده کامل از فیلد OPCODE توسط دستورات ماشین، کدام گزینه در خصوص گزاره‌های زیر درست است؟

گزاره اول: حداقل تعداد دستورات در قالب A و B به ترتیب 1 و 16 است.

گزاره دوم: حداکثر تعداد دستورات در قالب A و B به ترتیب 15 و 240 است.

(۱) هر دو گزاره اول و دوم درست هستند.

(۲) گزاره اول نادرست و گزاره دوم درست است.

(۳) گزاره اول درست و گزاره دوم نادرست است.

(۴) هر دو گزاره اول و دوم نادرست هستند.

-۱۳ در ضرب دو عدد دودویی مکمل دو 16 بیتی 011110110101100 و 01011100110001111 به روش Booth حداقل تعداد عمل جمع و حداکثر تعداد عمل تفریق ممکن کدام است؟

(۱) 3 جمع و 3 تفریق (۲) 3 جمع و 4 تفریق (۳) 4 جمع و 3 تفریق (۴) 4 جمع و 4 تفریق

کدام گزینه در خصوص گزاره‌های داده شده درست است؟

-۱۴ (A) در هر پردازنده دارای دستورات خاص I/O، می‌توان به روش memory-mapped I/O با دستگاه‌های I/O تبادل داده کرد.

(B) در روش DMA (Direct Memory Access) پردازنده اصلی درگیر بررسی آمادگی دستگاه I/O برای تبادل داده می‌شود، اما درگیر تبادل داده نمی‌شود.

(C) هر دو گزاره A و B درست هستند.

(D) گزاره A نادرست است و گزاره B درست است.

- ۱۵- چهار سیستم کامپیوتر A، B، C و D دارای ساختاری کاملاً یکسان هستند و تنها در حافظه نهان مورد استفاده تفاوت دارند.

در سیستم A: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی LRU است.

در سیستم B: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی LRU است.

در سیستم C: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی FIFO است.

در سیستم D: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی FIFO است.

هر چهار سیستم برنامه‌ای یکسان را اجرا می‌کنند. نرخ برخورد حافظه نهان در سیستم A برابر h_{4-LRU} برابر B برابر h_{2-LRU} ، سیستم C برابر h_{4-FIFO} و سیستم D برابر h_{2-FIFO} است.

کدام گزینه در خصوص نرخ برخورد در این سیستم‌ها درست است؟

(۱) قطعاً $h_{4-FIFO} \geq h_{2-FIFO}$ و $h_{4-LRU} \geq h_{2-LRU}$ است.

(۲) قطعاً $h_{2-LRU} > h_{2-FIFO}$ و $h_{4-LRU} > h_{4-FIFO}$ است.

(۳) قطعاً $h_{4-FIFO} < h_{2-FIFO}$ ولی ممکن است $h_{4-FIFO} \geq h_{2-LRU}$ باشد.

(۴) قطعاً $h_{4-FIFO} > h_{2-FIFO}$ ولی ممکن است $h_{2-LRU} > h_{4-FIFO}$ باشد.

- ۱۶- در یک کامپیوتر فرمت اعداد ممیز شناور به صورت زیر است:

1 3 bits 4 bits		
S	E	M

که نشان‌دهنده ارزش عددی $S \times 0.M \times 2^{E-4}$ است.

کدام گزینه، نشان‌دهنده حاصل جمع دو عدد -3.875 و -1.125 در این کامپیوتر است؟

(۱) 4.875- با نمایش FB

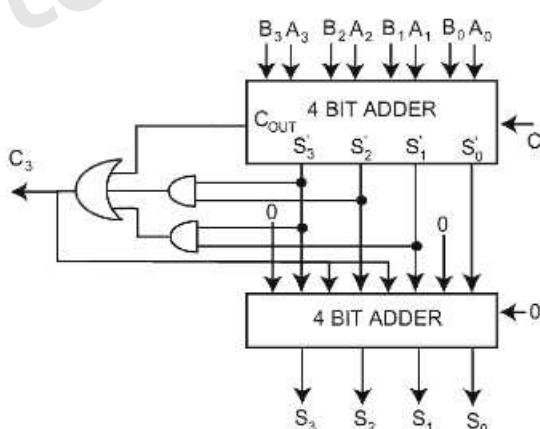
(۲) 4.75- با نمایش FA

(۳) 4.5- با نمایش F9

- ۱۷- مدار زیر یک جمع کننده دهدۀ تک‌رقمی را نشان می‌دهد. با به کار گیری این مدار جمع موازی (با انتشار رقم

نقلی) دو عدد دهدۀ ۳ رقمی را انجام می‌دهیم. زمان این محاسبه برابر با زمان عملکرد کدام مدار است؟

(۱) جعبه 4 BIT ADDER یک جمع کننده ۴ بیتی دودویی موازی با انتشار رقم نقلی است.



(۱) جمع کننده دودویی موازی 10 بیتی با انتشار رقم نقلی

(۲) جمع کننده دودویی موازی 18 بیتی با انتشار رقم نقلی

(۳) جمع کننده دودویی موازی 18 بیتی با پیش‌بینی رقم نقلی

(۴) جمع کننده دودویی موازی 10 بیتی با پیش‌بینی رقم نقلی

- ۱۸- فرض کنید در یک برنامه ۱۰٪ دستورات ماهیّت قریبی داشته باشند. (یعنی قابلیت موازی‌سازی نداشته باشند)

اگر بخواهیم این برنامه را بر روی یک سیستم چند هسته‌ای اجرا کنیم، برای آنکه میزان تسریع برابر ۵ باشد،

تعداد هسته‌ها کدام است؟

(۱) ۷

(۲) ۸

(۳) ۹

- ۱۹ برای محاسبه عبارت $Y = [(A \times (B - C)) - (D \div E)] - [F \times (G + H)]$, بر روی یک پردازنده مبتنی بر Stack, بزرگترین اندازه Stack مورد نیاز کدام است؟

۴ (۲) ۳ (۱)

۸ (۴) ۵ (۳)

- ۲۰ یک پردازنده خطولهای دارای ۸ مرحله با زمان‌های ۱, ۱.۵, ۱, ۱, ۱, ۲.۵, ۱, ۱, نانوثانیه است. بیشترین تسریع این پردازنده در مقایسه با پیاده‌سازی Single Cycle این پردازنده کدام است؟

۴ (۲) ۳ (۱)

۸ (۴) ۶ (۳)

- ۲۱ جدول زیر Reservation Table را برای یک پایپ‌لاین غیرخطی با سه مرحله نشان می‌دهد. کدام گزینه یک الگوی تأخیر غیر مجاز را نشان می‌دهد؟

۱	۲	۳	۴	۵	۶	۷	۸
X		X					X
	X			X		X	
			X		X		

(1, 6) (۱)

(4, 6) (۲)

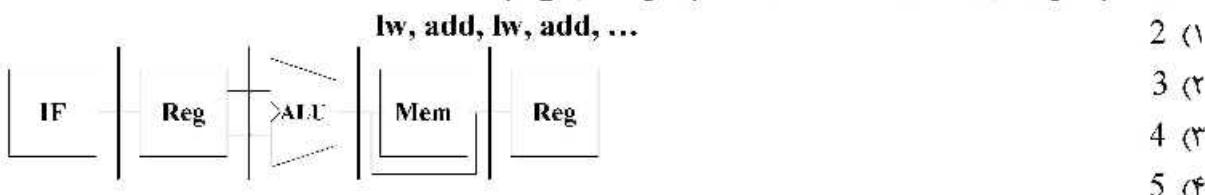
(6) (۳)

(4) (۴)

- ۲۲ دو برنامه زیر بر روی یک سیستم چندپردازنده با حافظه مشترک اجرا می‌شوند. پس از خاتمه هر دو برنامه A و B، مقدار متغیر X کدام مورد نمی‌تواند باشد؟

Process A	Process B	
$X = 2;$	$X = 1;$	3 (۱)
$X = X * 2;$	$X = X + 1;$	4 (۲)
.	.	5 (۳)
		6 (۴)

- ۲۳ یک پردازنده پایپ‌لاین را با ۵ مرحله مطابق شکل زیر در نظر بگیرید. فرض کنید برنامه‌ای با n دستور به شکل زیر بر روی این پردازنده اجرا می‌شود. اگر هر دستور lw فقط به دستور add قبلی خود و هر دستور add فقط به دستور lw قبلی خود وابسته باشد، حد تسریع به دست آمده از اجرای این برنامه، با استفاده از Forwarding در مقایسه با حالت بدون استفاده از Forwarding کدام است؟ (فرض کنید در رजیستر فایل، در نیمة اول CLK عملیات نوشتن و در نیمة دوم CLK عملیات خواندن انجام می‌شود).



- ۲۴- یک Cache با ۸ بلوک را در نظر بگیرید. اگر این Cache به صورت Direct Mapping سازماندهی شده باشد و با هر بار دسترسی به حافظه اصلی، ۴ کلمه از حافظه اصلی به Cache منتقل شود، Hit Rate برای دنباله آدرس‌های زیر کدام است؟

0, 15, 1, 14, 2, 13, 3, 12, 4, 11, 5, 10, 6, 9, 7, 8, 8, 7, 9, 6, 10, 5, 11, 4, 12, 3, 13, 2, 14, 1, 15, 0

$\frac{1}{4}$ (۱)

$\frac{3}{4}$ (۲)

$\frac{1}{2}$ (۳)

$\frac{13}{16}$ (۴)

- ۲۵- پردازنده چند هسته‌ای A، دارای 12 هسته ساده با توان پردازش p و یک هسته بزرگ با توان پردازش $2p$ است. پردازنده تک هسته‌ای B با توان پردازش p^4 نیز در دسترس است. حداکثر تسریع در اجرای یک برنامه با 10 درصد کد ترتیبی، توسط پردازنده A در مقایسه با پردازنده B تقریباً چقدر است؟

2 (۱)

3 (۲)

6 (۳)

9 (۴)

- ۲۶- تعداد گره‌های یک شبکه فوق مکعب (hypercube) که قطری برابر قطر شبکه توری 7×5 (mesh) دارد، کدام است؟

512 (۱)

1024 (۲)

2048 (۳)

4096 (۴)

- ۲۷- تعداد کوتاهترین مسیرهای متفاوت بین گره 10010101 و گره 11110000 در یک شبکه فوق مکعب ۸ بعدی کدام است؟

8 (۱)

24 (۲)

70 (۳)

256 (۴)

- ۲۸- تعداد کوتاهترین مسیرهای متفاوت بین دو گره (3,5) و (6,0) در یک شبکه توری مدور (Torus) 8×8 کدام است؟

2 (۱)

12 (۲)

20 (۳)

64 (۴)

- ۲۹ در یک پیش‌بینی‌گننده پرش عمومی یک سطحی با شمارنده اشباعی دو بیتی، وضعیت انجام ۲۰ پرش آخر متوالی به ترتیب زیر (از چپ به راست) است. با فرض اینکه مقدار اولیه شمارنده دو بیتی مربوطه صفر است، نرخ پیش‌بینی درست برای این پرسش‌ها چند درصد است؟

→ TTNTTNTTNTNNNTTTNTNTN

- 40 (۱)
- 50 (۲)
- 60 (۳)
- 70 (۴)

- ۳۰ گزاره‌های زیر درخصوص روش سوئیچینگ داده شده است. کدام مورد صحیح است؟
(A) زمان ارسال یک بسته به روش سوئیچینگ **Store and Forward** در حضور ترافیک سبک با زمان ارسال همان بسته با سوئیچینگ **wormhole** برابر است.

- (B) روش‌های سوئیچینگ مدار (circuit switching) برای پشتیبانی کیفیت سرویس (QoS) مناسب هستند.
- (۱) گزاره‌های A و B هردو درست هستند.
 - (۲) گزاره‌های A و B هردو نادرست هستند.
 - (۳) گزاره A درست و B نادرست است.
 - (۴) گزاره A نادرست و B درست است.

- ۳۱ کدام گزینه درخصوص نقصان حافظه نهان درست است؟
(۱) نقصان تداخل (Conflict miss) فقط در حافظه نهان با نگاشت مستقیم (direct mapped) (Rox می‌دهد).

(۲) نقصان ظرفیت (Capacity miss) فقط در حافظه نهان با نگاشت کاملاً انجمنی (fully associative) (Rox می‌دهد).

(۳) نرخ نقصان اجباری (Compulsory miss) به اندازه بلوک حافظه نهان وابسته است، اما ربطی به الگوریتم نگاشت ندارد.

(۴) نقصان همسانی (Coherency miss) در حافظه نهان پردازندۀ چند هسته‌ای با هر دو سیاست update و invalidation رخ می‌دهد.

- ۳۲ خط لوله A با پرید کلاک ۱۰ نانوثانیه برای محاسبهتابع $F_A(x)$ و خط لوله ۲۰ سطحی B با پرید کلاک ۲۰ نانوثانیه برای محاسبهتابع $F_B(x)$ موجود هستند (یک عدد ممیز شناور است). می‌خواهیم عملیات $F_A(F_B(X))$ را روی بردار X شامل ۱۰۰۰ عدد ممیز شناور محاسبه و بردار نتیجه متناظر آن را به دست آوریم. میزان تسریع این محاسبه توسط زنجیر کردن دو خط لوله نسبت به استفاده مجرزا از این دو خط لوله، تقریباً چقدر است؟

- 1.2 (۱)
- 1.5 (۲)
- 2 (۳)
- 2.5 (۴)

- ۳۳ - در خصوص قطعه برنامه زیر کدام گزینه درست است؟

```

mov    ax,number1
add    number2,ax
sub    ax,10
inc    number2

```

- (۱) بین دستورات mov و add و بین دستورات sub و add وابستگی write-after-read وجود دارد.
- (۲) بین دستورات mov و sub وابستگی write-after-write و بین دستورات sub و inc وابستگی مخفی وجود دارد.
- (۳) بین دستورات add و mov وابستگی read-after-write و بین دستورات inc و add وابستگی read-after-write و write-after-write وجود دارد.
- (۴) بین دستورات sub و mov وابستگی read-after-write و بین دستورات inc و add وابستگی read-after-write وجود دارد.

- ۳۴ - در خصوص خط لوله سه سطحی غیرخطی با جدول رزرواسیون زیر، کدام گزینه درست است؟

	t1	t2	t3	t4	t5
S1	X				
S2		X		X	
S3			X		X

- (۱) سیکل تأخیر (3) و تأخیر راه اندازی (2) مجازند.
- (۲) سیکل تأخیرهای (1,3*) و سیکل تأخیر (3) مجازند.
- (۳) رشته تأخیرهای <3*,1><3*,2,3*,1><1,3*> مجازند.
- (۴) سیکل تأخیرهای (1,3) مجاز و تأخیر راه اندازی (2) غیرمجاز است.

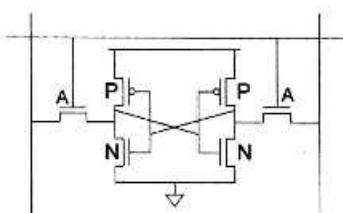
- ۳۵ - در یک حافظه نهان 2-way set associative مجموعه دسترسی به کلمات با آدرس های زیر (از چپ به راست) انجام شده است:

00000106h → 00000107h → 00001108h → 00001109h → 0000110Ah → 00002109h → 0000210Ah → 0000310Bh → 0000310Ch → 0000010Fb

اگر سیاست جایگزینی LRU باشد، در انتهای کار مقدار عددی tag های مجموعه شماره 16 حافظه نهان کدام آند؟

- | | |
|-----|-------|
| (۱) | 0 و 3 |
| (۲) | 2 و 3 |
| (۳) | 1 و 2 |
| (۴) | 0 و 2 |

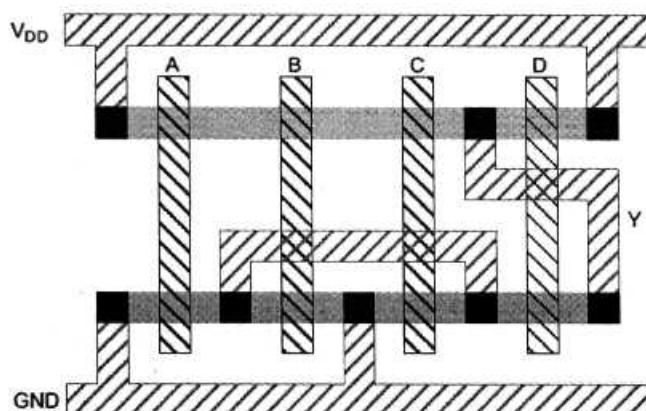
- ۳۶ - در یک سلول SRAM کلاسیک برای داشتن پایداری بیشتر، سایز کانال ترانزیستورها چگونه باید باشد؟



- | | |
|-----|-----------|
| (۱) | N > A > P |
| (۲) | N > P > A |
| (۳) | P > A > N |
| (۴) | P > N > A |

- ۳۷ - برای کاهش توان مصرفی اتصال کوتاه فقط یک گیت، کدام مورد مناسب است؟

- (۱) افزایش خازن بار - افزایش زمان صعود و نزول سیگنال ورودی
- (۲) افزایش خازن بار - کاهش زمان صعود و نزول سیگنال ورودی
- (۳) کاهش خازن بار - افزایش زمان صعود و نزول سیگنال ورودی
- (۴) کاهش خازن بار - کاهش زمان صعود و نزول سیگنال ورودی



- ۳۸- جانمایی داده شده متعلق به کدام تابع است؟

$$Y = \overline{(A \cdot B \cdot C)} + D \quad (1)$$

$$Y = \overline{(A + B + C)} \cdot \bar{D} \quad (2)$$

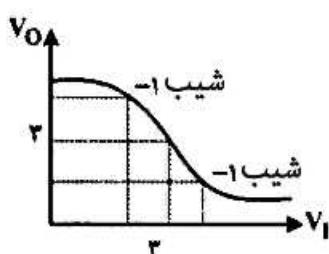
$$Y = \overline{(A + B + C)} + D \quad (3)$$

$$Y = \overline{(A + B + C)} + \bar{D} \quad (4)$$

- ۳۹- نمودار مشخصه انتقالی یک وارونگر (inverter) شبیه NMOS به صورت زیر است:

$$V_{DD} = 5V_{th} = -5V_{tp} = 5V, \mu_n = 2 \mu_p$$

نسبت $(W/L)_n$ به $(W/L)_p$ مطابق با کدام گزینه است؟



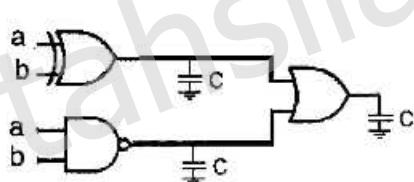
2 (۱)

2/3 (۲)

3/2 (۳)

3/8 (۴)

- ۴۰- در مدار داده شده، ورودی های a و b کاملاً تصادفی هستند (احتمال صفر یا یک بودن آنها یکسان است). به فرض V_{DD} = 5V . C=1 pF اگر ورودی ها با فرکانس 100 MHz تغییر کنند، توان پویای کل مدار چند mW است؟



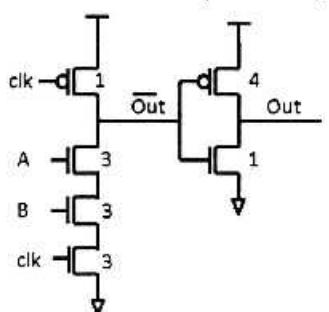
5 (۱)

1.56 (۲)

1.41 (۳)

0.47 (۴)

- ۴۱- در مدار دومینوی مقابل، به فرض آن که بار خازنی ناشی از طبقه بعد که در خروجی مدار قرار می‌گیرد 2.5 برابر خازن ورودی باشد، تأخیر فاز پیش‌شارژ (نرمال شده نسبت به تأخیر معکوس کننده واحد) کدام است؟



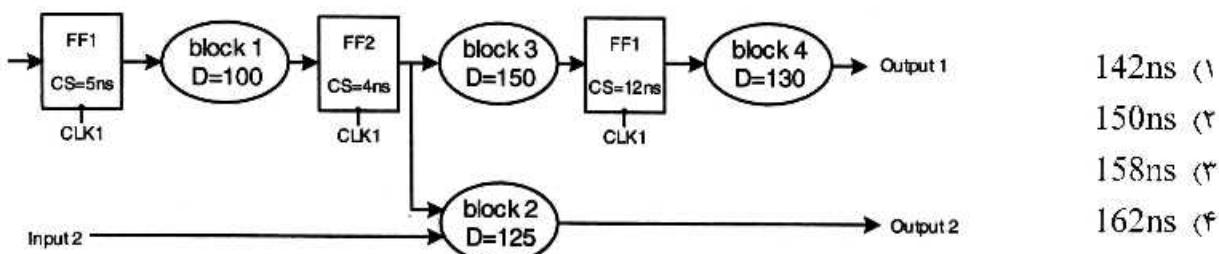
6.7 (۱)

7.5 (۲)

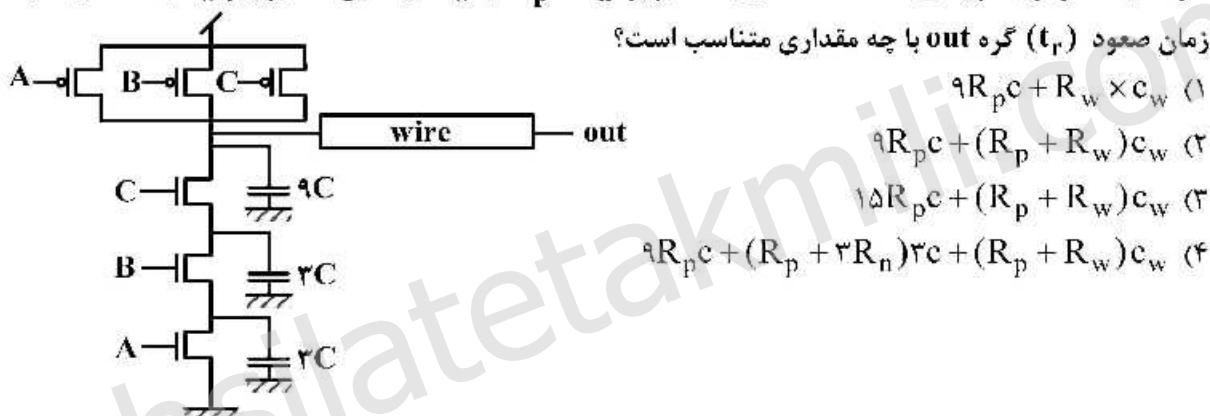
7.7 (۳)

11 (۴)

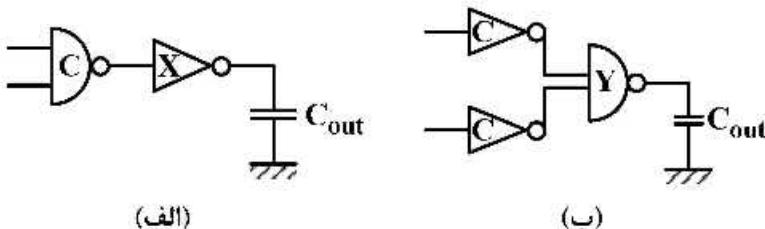
- ۴۲- در مدار ترتیبی زیر، میزان تأخیر بلوک‌های ترکیبی با پارامتر **D** نشان داده شده است، میزان انحراف کلاک (Clock skew) برای هر فلیپ‌فلاپ نیز با پارامتر **CS** نشان داده شده است. با صرفنظر کردن از تأخیر فلیپ‌فلاپ‌ها و زمان‌های **Setup** و **Hold**، حداقل پریود کلاک که مدار با آن کار می‌کند، کدام است؟ (CS‌ها در یک راستا هستند).



- ۴۳- اگر مقاومت ترانزیستورهای pmos, nmos و خط، برابر R_p , R_n و R_w و خازن خط برابر c_w باشد، بیشینه زمان صعود (t_r) گره **out** با چه مقداری متناسب است؟

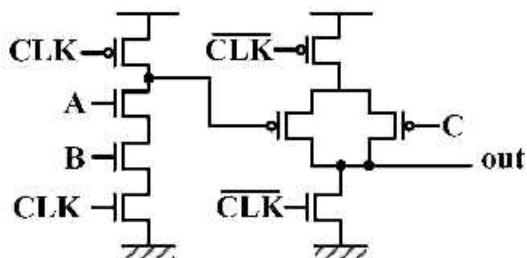


- ۴۴- در صورت طراحی بیهینه پارامترهای X و Y، کدام طرح زیر در $C_{out} = ۴c$ و کدام طرح در $C_{out} = ۳c$ تأخیر کمتری دارد؟



- (۱) در هر دو حالت C_{out} ، تأخیر (الف) کمتر است.
- (۲) تأخیر در مدار (الف) و (ب)، در هر دو حالت C_{out} یکسان است.
- (۳) در $C_{out} = ۳c$ تأخیر (الف) بیشتر و در $C_{out} = ۴c$ تأخیر (الف) کمتر است.
- (۴) در $C_{out} = ۳c$ تأخیر (الف) کمتر و در $C_{out} = ۴c$ تأخیر (الف) بیشتر است.

- ۴۵ - در خروجی مدار داده شده، کدام تابع منطقی پیاده‌سازی شده است؟



$$\text{out} = AB + C \quad (1)$$

$$\text{out} = \overline{AB} + C \quad (2)$$

$$\text{out} = AB + \overline{C} \quad (3)$$

$$\text{out} = \overline{AB} + \overline{C} \quad (4)$$